

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月28日

出 願 番 号

Application Number:

特願2002-189571

[ST.10/C]:

[JP2002-189571]

出 願 人

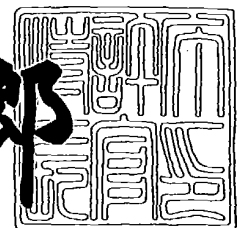
Applicant(s):

株式会社デンソー

2003年 5月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



【書類名】 特許願

【整理番号】 IP7031

【提出日】 平成14年 6月28日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/30

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 青木 充

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 今井 祐志

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100100022

 【弁理士】

 【氏名又は名称】 伊藤 洋二

 【電話番号】 052-565-9911

【選任した代理人】

 【識別番号】 100108198

 【弁理士】

 【氏名又は名称】 三浦 高広

 【電話番号】 052-565-9911

【選任した代理人】

 【識別番号】 100111578

 【弁理士】

 【氏名又は名称】 水野 史博

 【電話番号】 052-565-9911

【手数料の表示】

【予納台帳番号】 038287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算増幅回路

【特許請求の範囲】

【請求項1】 演算増幅器（11）と、

前記演算増幅器（11）の出力によりオンオフ動作する第1のトランジスタ（21、23）と、

前記第1のトランジスタ（21、23）と直列接続され前記演算増幅器（11）の出力により前記第1のトランジスタ（21、23）と逆にオンオフ動作する第2のトランジスタ（22、24）と、

前記演算増幅器（11）の出力に対し前記第1のトランジスタ（21、23）の制御端子と前記第1、第2のトランジスタ（21、23、22、24）の接続点間の電圧を相殺して前記第1のトランジスタ（21、23）を動作させるように設けられた第1の電圧シフト手段（14、16）と、

前記演算増幅器（11）の出力に対し前記第2のトランジスタ（22、24）の制御端子と前記第1、第2のトランジスタ（21、23、22、24）の接続点間の電圧を相殺して前記第2のトランジスタ（22、24）を動作させるように設けられた第2の電圧シフト手段（15、17）と、

前記第1のトランジスタ（21、23）に流れる電流を検出して前記第2のトランジスタ（22、24）の制御端子に電流を流し込み、前記第2のトランジスタ（22、24）をオフさせる第1の電流制御回路（3）と、

前記第2のトランジスタ（22、24）に流れる電流を検出して前記第1のトランジスタ（21、23）の制御端子から電流を引き込み、前記第1のトランジスタ（21、23）をオフさせる第2の電流制御回路（4）と、を備えたことを特徴とする演算増幅回路。

【請求項2】 前記第1の電流制御回路（3）は、制御端子が前記第1のトランジスタ（21、23）と共通接続されて前記第2のトランジスタ（22、24）に流れる電流を検出する第3のトランジスタ（31）と、この第3のトランジスタ（31）と直列接続された第4のトランジスタ（33）と、この第4のトランジスタ（33）とカレントミラー接続された第5のトランジスタ（34）と

を有し、この第5のトランジスタ（34）により前記第2のトランジスタ（22、24）の制御端子に電流を流し込むようになっていることを特徴とする請求項1に記載の演算増幅回路。

【請求項3】 前記第2の電流制御回路（4）は、制御端子が前記第2のトランジスタ（22、24）と共通接続されて前記第2のトランジスタ（22、24）に流れる電流を検出する第6のトランジスタ（41）と、この第6のトランジスタ（41）と直列接続された第7のトランジスタ（43）と、この第7のトランジスタ（43）とカレントミラー接続された第8のトランジスタ（44）とを有し、この第8のトランジスタ（44）により前記第1のトランジスタ（21、23）の制御端子から電流を引き込むようになっていることを特徴とする請求項1または2に記載の演算増幅回路。

【請求項4】 前記第1ないし第8のトランジスタ（21、22、31、33、34、41、43、44）はバイポーラトランジスタであり、前記第1、第2の電圧シフト手段（14、15）はダイオードであることを特徴とする請求項3に記載の演算増幅回路。

【請求項5】 前記第1ないし第8のトランジスタ（23、24、35～37、45～47）および前記第1、第2の電圧シフト手段（16、17）は絶縁ゲート型電界効果トランジスタであることを特徴とする請求項3に記載の演算増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、演算増幅回路に関する。

【0002】

【従来の技術】

従来より、例えば図3に示すように、出力段にプッシュプル出力回路を有する演算増幅回路が広く知られている。図に示すように、演算増幅回路は、演算増幅器11、定電流源12、13および出力回路2から構成されており、出力回路2は、演算増幅器11の出力によりプッシュプル動作、すなわち演算増幅器11の

出力により互いに逆にオンオフ動作するNPNトランジスタ21およびPNPトランジスタ22で構成されている。

【0003】

演算増幅器11の出力端子は、出力回路2のトランジスタ21およびトランジスタ22の各ベースに接続され、定電流源12を介して電源VCCに接続されるとともに、定電流源13を介して接地されている。また、トランジスタ21およびトランジスタ22は直列接続され、各エミッタは出力端子2aに接続されている。

【0004】

上記した構成において、演算増幅器11は、入力端子1aおよび1bからの入力信号に応じてトランジスタ21およびトランジスタ22の各ベース電位を変化させ、出力端子2aに接続される負荷を駆動する。演算増幅器11の出力電圧がローレベルの場合、トランジスタ21はオフ、トランジスタ22はオンとなり、トランジスタ22は出力端子2aに接続された負荷（図示せず）から電流を引き込む。反対に、演算増幅器11の出力電圧がハイレベルの場合、トランジスタ21はオン、トランジスタ22はオフとなり、トランジスタ21は出力端子2aに接続された負荷に電流を流し込む。

【0005】

しかし、上記した構成では、演算増幅器11の出力電圧がローレベルからハイレベル、あるいはハイレベルからローレベルに変化する際に、電源電圧VCCとグランドの中間電位（ $VCC/2$ ）近辺でトランジスタ21およびトランジスタ22が同時にオフとなって、出力端子2aの出力波形が不連続となる、いわゆるスイッチング歪みが発生する。これは、トランジスタ21およびトランジスタ22が完全にオフとなり、どちらかのトランジスタが再びオンするまで、何も出力されない状態が発生するためである。

【0006】

図4に、スイッチング歪みを改善した演算増幅回路の構成を示す。図に示すように、トランジスタ21およびトランジスタ22の各ベース間にダイオード14、15が設けられている。

【0007】

ダイオード14、15は、演算増幅器11の出力電圧がトランジスタ21、22の閾値近辺になるようにトランジスタ21、22の各ベース間電圧をダイオード2個分の順方向電圧（約1.2V）に保持するためのものであり、アノードがトランジスタ21のベース側に、カソードがトランジスタ22のベース側になるように互いに順方向に接続されている。つまり、ダイオード14、15の各順方向電圧（0.6V）により、トランジスタ21、22の各ベース－エミッタ間電圧（0.6V）を相殺して、トランジスタ21、22がオンするのに必要な駆動電圧の影響を受けることなく、スイッチングするようにしてスイッチング歪みを改善している。

【0008】

【発明が解決しようとする課題】

ところが、トランジスタ21、22のベース電位はダイオード14、15によって閾値近辺になるように構成されているため、トランジスタ21、22は同時にオンとなる場合がある。そして、このとき電源VCCからトランジスタ21およびトランジスタ22を介して貫通電流が流れる。この貫通電流は、トランジスタ21およびトランジスタ22の消費電流を増加させ、出力端子2aの出力電流の供給能力を低下させる。また、トランジスタ21およびトランジスタ22の各ベース電位の立ち上がり、立ち下がり時間が長くなる程、トランジスタ21およびトランジスタ22が同時にオンする時間が長くなり、貫通電流として流れる電流は増加する。

【0009】

本発明は上記問題に鑑みたもので、スイッチング歪みを改善するとともに、スイッチング時に発生する貫通電流を低減することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明に係る演算増幅回路は、演算増幅器（11）と、演算増幅器（11）の出力によりオンオフ動作する第1のトランジスタ（21、23）と、第1のトランジスタ（21、23）と直列接続さ

れ演算増幅器(11)の出力により第1のトランジスタ(21、23)と逆にオンオフ動作する第2のトランジスタ(22、24)と、演算増幅器(11)の出力に対し第1のトランジスタ(21、23)の制御端子と第1、第2のトランジスタ(21、23、22、24)の接続点間の電圧を相殺して第1のトランジスタ(21、23)を動作させるように設けられた第1の電圧シフト手段(14、16)と、演算増幅器(11)の出力に対し第2のトランジスタ(22、24)の制御端子と第1、第2のトランジスタ(21、23、22、24)の接続点間の電圧を相殺して第2のトランジスタ(22、24)を動作させるように設けられた第2の電圧シフト手段(15、17)と、第1のトランジスタ(21、23)に流れる電流を検出して第2のトランジスタ(22、24)の制御端子に電流を流し込み、第2のトランジスタ(22、24)をオフさせる第1の電流制御回路(3)と、第2のトランジスタ(22、24)に流れる電流を検出して第1のトランジスタ(21、23)の制御端子から電流を引き込み、第1のトランジスタ(21、23)をオフさせる第2の電流制御回路(4)と、を備えたことを特徴としている。

【0011】

このように第1、第2のトランジスタ(21、23、22、24)のスイッチング時に、第1の電流制御回路(3)による第2のトランジスタ(22、24)の制御端子への電流の流し込み、あるいは第2の電流制御回路(4)による第1のトランジスタ(21、23)の制御端子からの電流の引き込みを行うことによって、第1のトランジスタ(21、24)あるいは第2のトランジスタ(22、24)を速やかにオフさせてスイッチング時間を短くし、第1のトランジスタ(21、24)および第2のトランジスタ(22、24)に流れる貫通電流を低減させることができる。

【0012】

上記した第1の電流制御回路(3)としては、請求項2に記載の発明のように、制御端子が第1のトランジスタ(21、23)と共通接続されて第2のトランジスタ(22、24)に流れる電流を検出する第3のトランジスタ(31)と、この第3のトランジスタ(31)と直列接続された第4のトランジスタ(33)

と、この第4のトランジスタ(33)とカレントミラー接続された第5のトランジスタ(34)とを有し、この第5のトランジスタ(34)により第2のトランジスタ(22、24)の制御端子に電流を流し込む構成のものとすることができる。

【0013】

また、第2の電流制御回路(4)としては、請求項3に記載の発明のように、制御端子が第2のトランジスタ(22、24)と共通接続されて第2のトランジスタ(22、24)に流れる電流を検出する第6のトランジスタ(41)と、この第6のトランジスタ(41)と直列接続された第7のトランジスタ(43)と、この第7のトランジスタ(43)とカレントミラー接続された第8のトランジスタ(44)とを有し、この第8のトランジスタ(44)により第1のトランジスタ(21、23)の制御端子から電流を引き込む構成のものとすることができる。

【0014】

また、請求項3に記載の発明において、請求項4に記載の発明のように、第1ないし第8のトランジスタ(21、22、31、33、34、41、43、44)をバイポーラトランジスタで構成し、第1、第2の電圧シフト手段(14、15)はダイオードで構成したものとすることができる。

【0015】

また、請求項3に記載の発明において、請求項5に記載の発明のように、第1ないし第8のトランジスタ(23、24、35～37、45～47)、および第1、第2の電圧シフト手段(16、17)を絶縁ゲート型電界効果トランジスタで構成したものとすることができる。

【0016】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0017】

【発明の実施の形態】

(第1実施形態)

本発明の第1実施形態に係る演算増幅回路の構成を図1に示す。なお、図3、4に示した従来の演算増幅回路と同一部分には、同一符号を付して説明を省略し、以下異なる部分について説明する。この第1の実施形態では、図4に示す演算増幅回路に対し、第1、第2のベース電流制御回路3、4を設けた構成となっている。

【0018】

図に示すように、第1のベース電流制御回路3は、カレントミラー接続されたPNP型バイポーラトランジスタ33、34およびNPN型バイポーラトランジスタ31から構成されている。

【0019】

トランジスタ33および34は、互いのベースが接続され、各エミッタは電源VCCに接続され、トランジスタ34のコレクタはトランジスタ22のベースに接続されている。また、トランジスタ31は、トランジスタ33のコレクタおよびトランジスタ21のエミッタ間に接続され、ベースがトランジスタ21と共通接続されている。

【0020】

上記した構成において、トランジスタ21とトランジスタ31のベースは共通接続されており、トランジスタ31にはトランジスタ21に比例した電流が流れる。演算増幅器11の出力電圧がローレベルの場合、トランジスタ21はオフ、トランジスタ22はオンとなる。ここで、演算増幅器11の出力電圧がハイレベルに変化すると、トランジスタ21はオンとなり、トランジスタ21およびトランジスタ31に電流が流れ、更にトランジスタ31と直列接続されたトランジスタ33およびトランジスタ33とカレントミラー接続されたトランジスタ34に電流が流れる。そして、トランジスタ22のベースにトランジスタ34から電流が流し込まれ、トランジスタ22のベース電位は急速に上昇し、トランジスタ22は速やかにオフとなる。このように、第1のベース電流制御回路3によりトランジスタ22のオンからオフへの動作を速やかに行うことによって、貫通電流を低減させることができる。

【0021】

一方、第2のベース電流制御回路4は、カレントミラー接続されたNPNトランジスタ43、44およびPNPトランジスタ41から構成されている。

【0022】

トランジスタ43および44は、互いのベースが接続され、トランジスタ44のコレクタはトランジスタ21のベースに接続されている。また、トランジスタ41は、トランジスタ21のエミッタおよびトランジスタ43のコレクタ間に接続され、ベースがトランジスタ22と共通接続されている。

【0023】

上記した構成において、トランジスタ22とトランジスタ41のベースは共通接続されており、トランジスタ41にはトランジスタ22に比例した電流が流れる。演算増幅器11の出力電圧がハイレベルの場合、トランジスタ21はオン、トランジスタ22はオフとなる。ここで、演算増幅器11の出力電圧がローレベルに変化すると、トランジスタ22はオンとなり、トランジスタ22およびトランジスタ41に電流が流れ、更にトランジスタ41と直列接続されたトランジスタ43およびトランジスタ43とカレントミラー接続されたトランジスタ44に電流が流れる。そして、トランジスタ21のベースからグランドへ電流が流れ、トランジスタ21のベース電位は急速に低下し、トランジスタ21は速やかにオフとなる。このように、第2のベース電流制御回路4によりトランジスタ21のオンからオフへの動作を速やかに行うことによって、貫通電流を低減させることができる。

【0024】

上記したように、スイッチング時において、第1のベース電流制御回路3によるトランジスタ22へのベース電流の流し込み、あるいは第2のベース電流制御回路4によるトランジスタ21からのベース電流の引き込みを行うことによって、トランジスタ22あるいはトランジスタ21を速やかにオフさせてスイッチング時間を短くし、トランジスタ21およびトランジスタ22に流れる貫通電流を低減させることができる。従って、貫通電流によるトランジスタ21およびトランジスタ22の消費電流の増加や、出力端子2aの出力電流の供給能力の低下といった問題を解決することができる。

【0025】

(第2実施形態)

図2に、本発明の第2実施形態に係る演算増幅回路の構成を示す。この第2実施形態では、第1実施形態で示したトランジスタ21、31、43、44およびダイオード16をNチャネル型MOSトランジスタに、トランジスタ22、42、33、34およびダイオード17をPチャネル型MOSトランジスタに置き換えた構成となっている。

【0026】

トランジスタ16のゲートは、トランジスタ23のゲートと共通接続されるとともに自己のドレインに接続され、トランジスタ16のゲート-ソース間電圧によってトランジスタ23のゲート-ソース間電圧を相殺するようになっている。同様に、トランジスタ17のゲートは、トランジスタ24のゲートと共通接続されるとともに自己のドレインに接続され、トランジスタ16のゲート-ソース間電圧によってトランジスタ24のゲート-ソース間電圧を相殺するようになっている。このようにトランジスタ16および17を設けることによって、第1実施形態と同様、スイッチング歪みを抑制することができる。

【0027】

そして、第1実施形態と同様、スイッチング時において、第1のベース電流制御回路3によるトランジスタ24へのベース電流の流し込み、あるいは第2のベース電流制御回路4によるトランジスタ23からのベース電流の引き込みを行うことによって、トランジスタ24あるいはトランジスタ23を速やかにオフさせてスイッチング時間を短くし、トランジスタ23およびトランジスタ24に流れる貫通電流を低減させることができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態における演算増幅回路の構成を示す図である。

【図2】

本発明の第2実施形態における演算増幅回路の構成を示す図である。

【図3】

従来の演算増幅回路の構成の一例を示す図である。

【図 4】

従来の演算増幅回路の構成の一例を示す図である。

【符号の説明】

2・・・出力回路、3、4・・・ベース電流制御回路、11・・・演算増幅器、

12、13・・・定電流源、14、15・・・ダイオード

21、31、43、44・・・NPNバイポーラトランジスタ、

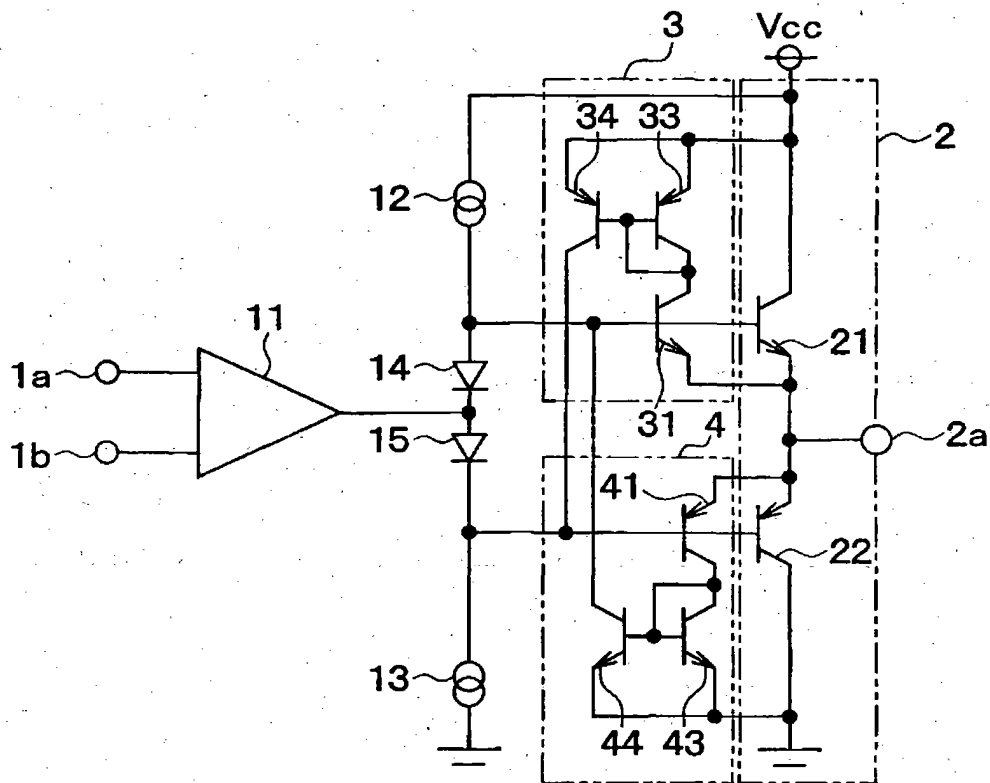
22、41、33、34・・・PNPバイポーラトランジスタ。

16、23、35、46、47・・・NチャネルMOSトランジスタ、

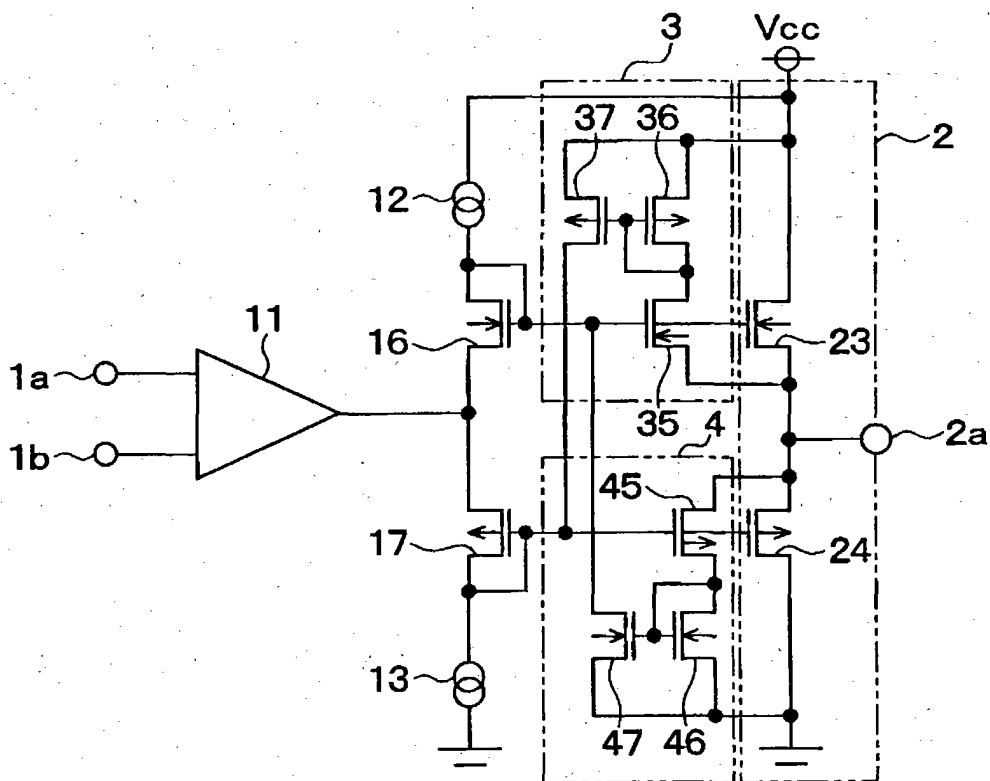
17、24、36、37、45・・・PチャネルMOSトランジスタ。

【書類名】 図面

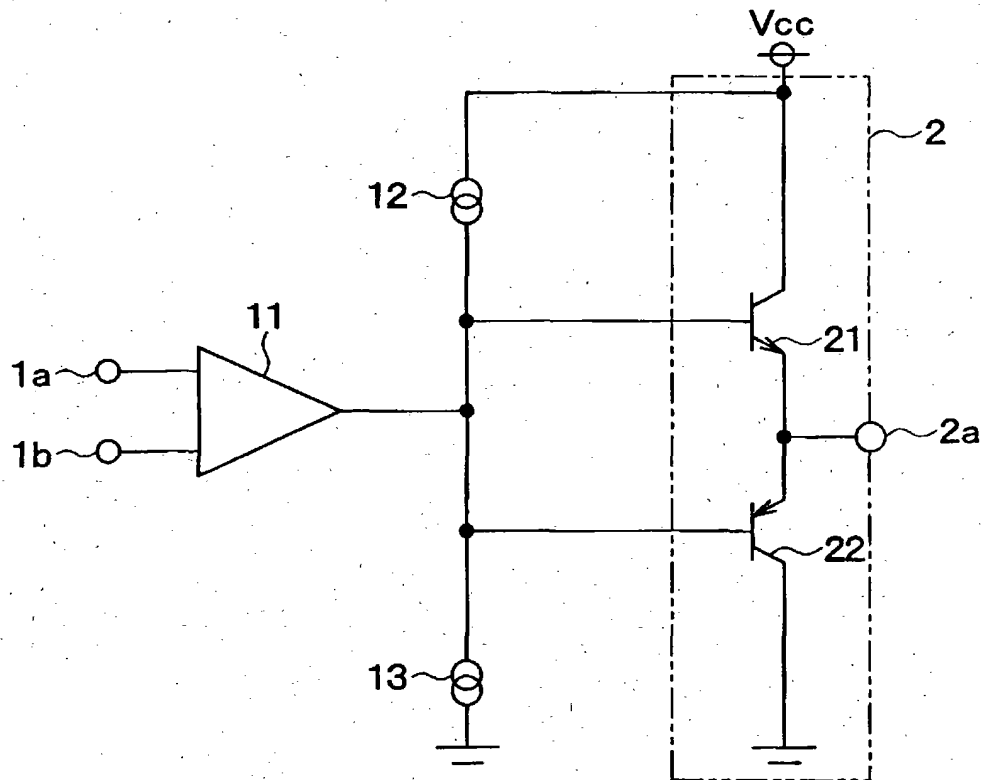
【図 1】



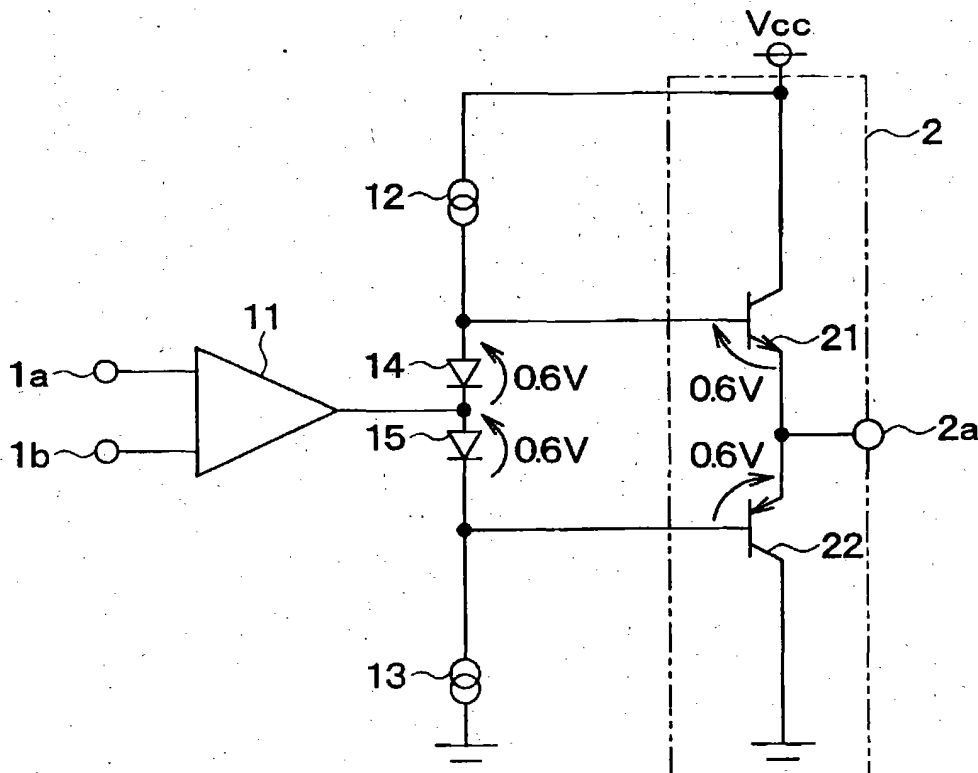
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 出力段にプッシュプル出力回路を有する演算増幅回路において、スイッチング歪みを改善するとともに、スイッチング時に発生する貫通電流を低減する。

【解決手段】 出力回路を構成するトランジスタ21およびトランジスタ22の各ベース間にダイオード14、15を設けてスイッチング歪みを改善した構成となっており、さらにスイッチング時に第1のベース電流制御回路3によるトランジスタ22へのベース電流の流し込み、あるいは第2のベース電流制御回路4によるトランジスタ21からのベース電流の引き込みを行うことによって、トランジスタ22あるいはトランジスタ21のスイッチング時間を短くし、トランジスタ21およびトランジスタ22に流れる貫通電流を低減する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日
[変更理由] 名称変更
住 所 愛知県刈谷市昭和町1丁目1番地
氏 名 株式会社デンソー